

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

特開2002-174662  
(P2002-174662A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)IntCl <sup>7</sup>	識別記号	F I	テ-ポ-ド <sup>7</sup> (参考)
G 0 1 R 31/28 31/31B5	6 7 1	G 1 1 C 29/00	6 7 1 B 2 G 0 3 2
G 1 1 C 29/00	6 7 5	G 0 1 R 31/28	6 7 5 L 5 L 1 0 6
			V W B

審査請求 未請求 請求項の数14 O L (全 17 頁) 最終頁に続く

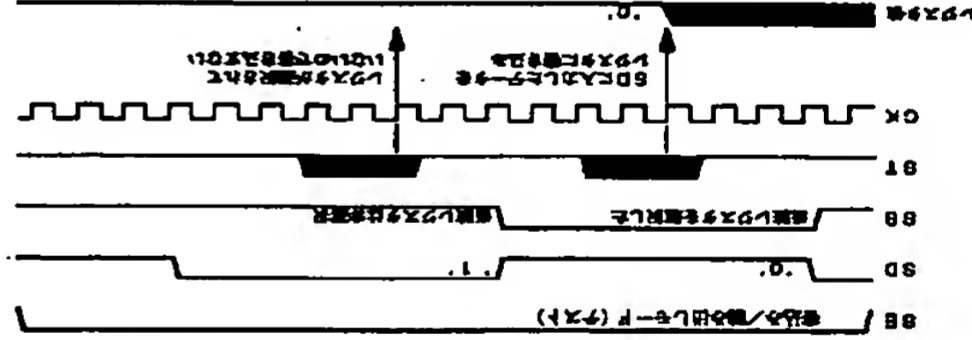
(21)出願番号	特願2000-371585(P2000-371585)	(71)出願人	000005108 株式会社日立製作所
(22)出願日	平成12年12月6日(2000.12.6)	(71)出願人	000233169 東京都千代田区神田駿河台四丁目6番地 株式会社日立超エル・エス・アイ・システムズ
		(72)発明者	林 秀樹 東京都小平市上水本町5丁目22番1号
		(74)代理人	100081938 弁理士 徳君 光政 株式会社日立超エル・エス・アイ・システムズ ズ内

(54)【発明の名称】 半導体集積回路装置とそのテスト方法

(57)【要約】

【課題】 高密度で高性能及び高信頼性とテスト時間の短縮化を図った半導体集積回路装置とそのテスト方法を提供する。

【解決手段】 クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給し、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期より長い周期により行うことを特徴とする半導体集積回路装置。



(2)

特開平14-174662

【特許請求の範囲】

【請求項1】 クロック信号に従って動作する内部回路と、

上記内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路とを備え、

上記テスト回路は、  
上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズの周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給した状態で、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記内部回路は、内蔵されたメモリ回路であり、  
上記テストパターンは、上記メモリ回路に供給されるアドレス信号と動作制御信号とを含み、  
上記第2のラッチ回路に取り込まれる出力信号は、メモリ回路の読み出し信号であることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

上記テスト動作のときのクロック信号は、上記メモリ回路の通常の動作状態に対応した周波数であることを特徴とする半導体集積回路装置。

【請求項4】 請求項2又は3において、

上記テスト回路は、  
上記メモリ回路に供給されるテストパターンとその期待値を生成するテストパターン生成回路と、  
上記第1のラッチ回路に保持されたテストパターンの入力と、通常動作ときの入力とを切り替える切替回路と、  
上記メモリ回路から読み出された第2のラッチ回路の出力信号と上記期待値とを比較する比較判定回路とを更に含むことを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、

上記テスト回路は、  
上記比較判定回路の判定出力とメモリ回路に入力されるアドレス信号とを受けて救済を要否を判定する救済解析回路と、  
上記救済解析回路での救済アドレスを保持する救済アドレスレジスタとを更に備えてなることを特徴とする半導体集積回路装置。

【請求項6】 請求項4又は5において、

上記メモリ回路は複数個からなり、  
上記テスト回路は、上記複数個のメモリ回路のうち、テスト対象のメモリ回路を指定するメモリ選択回路を更に備え、かかるメモリ選択回路で選択されたメモリに対して上記テスト動作が実施されることを特徴とする半導体

集積回路装置。

【請求項7】 請求項1において、  
上記内部回路は、論理回路であり、  
上記第1と第2のラッチ回路は、上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込まれてなることを特徴とする半導体集積回路装置のテスト方法。

【請求項8】 請求項7において、

上記テスト動作のときのクロック信号は、上記内部回路の通常の動作状態に対応した周波数であることを特徴とする半導体集積回路装置。

【請求項9】 請求項7又は8において、

上記テスト回路は、  
上記論理回路の入力部に設けられた第1のラッチ回路に供給される入力信号を形成する擬似乱数発生器と、  
上記論理回路の出力信号を保持する第2のラッチ回路の出力信号を受ける応答圧縮器とを更に含むことを特徴とする半導体集積回路装置。

【請求項10】 請求項9において、

上記内部回路の論理回路は複数のブロックに分けられ、  
上記テスト回路は、  
上記各ブロック内の複数のフリップフロップ回路を、上記第1と第2のラッチ回路を介して直列形態に接続し、それに対応された上記擬似乱数発生器からシリアルに第1のラッチ回路にテストパターンを入力し、かかるテストパターンに対応した第2のラッチ回路の出力信号をシリアルに応答圧縮器に出力させることを特徴とする半導体集積回路装置。

【請求項11】 クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、

上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズの周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給し、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことを特徴とする半導体集積回路装置のテスト方法。

【請求項12】 請求項11において、

上記内部回路は、内蔵されたメモリ回路であり、  
上記テストパターンは、メモリ回路に供給されるアドレス信号と動作制御信号を含み、

上記第2のラッチ回路に取り込まれる出力信号は、メモリ回路の読み出し信号であることを特徴とする半導体集積回路装置のテスト方法。

【請求項13】 請求項11において、

上記内部回路は、論理回路であり、

上記第1と第2のラッチ回路は、上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込まれてなることを特徴とする半導体集積回路装置のテスト方法。

【請求項14】 請求項12又は13において、上記テスト動作のときのクロック信号は、上記内部回路の通常の動作状態に対応した周波数であることを特徴とする半導体集積回路装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体集積回路装置とそのテスト方法に関し、特に高周波数のクロック信号で動作する大規模集積回路装置とそのテスト方法に利用して有効な技術に関するものである。

【0002】

【従来の技術】 大規模集積回路（LSI）に搭載されたRAM（ランダム・アクセス・メモリ）をテスト回路BISTを用いてテストするテスト方法として、米国特許第5173906号、日本国特許第2614413号がある。上記のテスト方法では、テスト回路BISTにスキャン回路付きフリップフロップ回路DFを用いることを提案している。したがって、上記のテスト方法は、

（1）スキャン回路を用いてRAM-BISTへの設定を行なう、（2）評価テストの処理能力を超える高い周波数のクロックをLSIに印加し、RAM-BISTを用いたRAMテストを行なう、（3）スキャン回路を用いて（速いサイクルで）テスト結果を回収するという手順が用いられる。

【0003】 上記のように従来技術では、評価テストの処理能力を超える高い周波数サイクルでRAMテストを行なう場合、まず最初に評価テストの処理しうる周波数のサイクルでクロックを印加して、RAM-BISTのレジスタに対して設定を行ない、しかる後に、クロックサイクルをRAMをテストしたい周波数に高速化する、もしくは、1度クロックを停止させた後にあらためて所望の周波数のクロックを印加し、RAMテストを行なう。また、RAMテスト後のテスト結果回収のために、RAMテストを行なったクロックサイクルの周波数を評価テストの処理しうる周波数のサイクルに減速させる。または、1度クロックを停止させた後に、あらためて評価テストの処理しうる周波数サイクルのクロックを印加して、RAMテスト結果が格納されているレジスタの値を回収する。

【0004】

【発明が解決しようとする課題】 近年のLSI内素子の高密度化と各素子の動作高速化により、LSIの動作電源ノイズは増加する方向にある。本願発明者等においては、クロック印加開始時と停止時には、電源に対するLSIのインピーダンスが急変するので大きな電源ノイズが発生することを発見出した。この電源ノイズは、LSI

1内のレジスタのデータを不慮に書き換える恐れがある。したがって、このような電源ノイズによりレジスタの誤書き込みが発生した場合、上記RAM-BISTの設定情報は破壊されて正常テスト動作が期待できない。また、テスト結果情報も同様に破壊されて正しいテスト結果が得られない。つまり、前記の公知例ではクロック信号の供給や停止、あるいはクロック周波数の変化時に発生する電源ノイズによる誤動作への対策について考慮されていない。

【0005】 上記クロック停止／開始時に電源ノイズが発生するメカニズムを検討した結果、次のことが原因であると推測される。前記のようにLSIの高密度化により、LSIに搭載されるフリップフロップ回路DFの数（＝クロック信号に接続される素子数）が膨大となった場合、クロック信号の供給を開始したときに消費される電流が、上記のLSIの高密度化により増大する。電源ノイズ（電源電圧や接地電位の揺れ）は、消費電流変化と電源給電系の持つインピーダンスとの積に比例する。つまり、消費電流の変化が大きい程、また、電源系のインピーダンスが高い程電源ノイズは増大する。半導体ウェハ上に完成されたLSIのテスト時は「針当て」などの方法で給電を行なうので、実際の製品で使用する場合よりも電源系のインピーダンスが高い場合が多いために、上記の電源ノイズはより深刻な問題となる。

【0006】 本願発明者らは、最先端の製品開発の中でこのような電源ノイズの問題に直面した。本願発明者らの実験では、クロック信号の供給を開始した瞬間に電源電圧1.5Vに対して0.7V振幅で約10MHzのような電源ノイズの発生することが観測された。このような電源ノイズの発生する環境では、LSI内部のレジスタのデータが破壊されてしまい、正しいLSIテストを実施することは困難である。このことは、前記従来技術のように周波数を切り替えて評価テストの処理しうる周波数まで低くしてゆつくりと動作させるようなアプローチでも、電源ノイズを減らすことができないことを意味する。このような電源ノイズを根本的に低減するため、この電源系のインピーダンスを減らす目的で、LSI内にハイパスコンデンサを埋め込むことが一般的に行なわれているが、これにはチップ上に膨大な必要を割り当てることとなり、しかも必ずしも十分な解決とはならない場合が多い。

【0007】 本願発明者らは、上記高密度及び高性能化したLSIにおいては、電源ノイズの周期がLSIの動作サイクルに対して比較的低いことに注目した。逆にいうならば、上記クロック信号の供給を開始した瞬間に発生するノイズは、前記のように約10MHz程度の周期を持っており、それよりも十分高い約500MHz～800MHzのようなクロック信号をLSIに供給した場合、電源線に発生するノイズが数mV程度にしかならないという現象に着目した。この原因は、上記電源ノイ

積回路装置LSIに形成される図示しない内部回路、例えば論理回路やメモリ回路に直接的にテストパターンを入力し、かかるテストパターンに対応した出力信号を取り込むレジスタ（a）ないし（d）と、そのレジスタの選択回路を構成するレジスタアドレス生成カウンタ、及びレジスタアドレスデコードからなるテスト回路が設けられる。

【0012】 上記レジスタ（a）ないし（d）は、論理回路をテストする場合においては論理回路の入力と出力の間に設けらるフリップフロップ回路、メモリ回路をテストする場合には入力信号や出力信号を保持するフリップフロップ回路としての機能と、上記テスト動作のためのテストパタンの入力及びかかるテストボタンに対応した論理回路の出力信号あるいはテストボタンに対応したメモリ回路の読み出し信号を取り込む機能とを併せ持つものである。

【0013】 データ入力信号、イネーブル信号、書き込みトリガ信号及びカウンタアップ信号とカウンタリセット信号は、テスト用の入力信号とされる。カウンタリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウンタアップ信号を供給すると、レジスタアドレス生成カウンタの計数動作に対応してレジスタ（a）～（d）を選択するレジスタアドレスを生成する。レジスタアドレスデコードは、上記レジスタアドレスを解読し、例えば計数動作に対応させてレジスタ（a）～（d）の選択信号を形成する。

【0014】 レジスタ（a）～（d）のSD（セットデータ入力）端子は、共通に接続されて上記データ入力信号が供給される。レジスタ（a）～（d）のSE（セットイネーブル）端子は、共通に接続されて上記イネーブル信号が供給される。レジスタ（a）～（d）のST（セットトリガ）端子は、共通に接続されて上記書き込みトリガ信号が供給される。上記レジスタ（a）～（d）のSS（セットセレクト）端子は、上記レジスタアドレスデコードにより形成されたレジスタ選択信号がそれぞれに供給される。そして、半導体集積回路装置LSIには、システムクロックが供給されている。

【0015】 イネーブル信号を有効として上記レジスタ（a）～（d）をテストモードに設定し、上記のようにカウンタリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウンタアップ信号を供給してレジスタ（a）～（d）を順次に選択し、かかるカウンタアップ信号に対応させてデータ入力からテストパターンを入力し、書き込みトリガ信号を供給すると、シリアルに入力されたテストパターンはレジスタ（a）ないし（d）に順次に書き込まれる。

【0016】 上記イネーブル信号を無効にすると、上記レジスタ（a）～（d）は前記テストの対象である論理回路やメモリ回路に対してテストパターンを入力し、かかるテストパターンに対応した出力信号を保持する。つま

ズが電源端子での配線抵抗、寄生容量あるいは寄生インダクタンス成分からなる共振回路において、共振周波数（約10MHz）より高い動作周波数のクロック信号では、かかる高い周波数に「追従できなくなる」ことからノイズ振幅が減少すると考えられる。実際に、LSIの動作サイクル800MHzで測定した電源ノイズは数十mV程度にしかならないことが実験で確かめられた。このことを利用して、本願発明者においては、高密度、高性能の半導体集積回路装置とそのテスト方法の開発に至った。

【0008】 この発明の目的は、高密度で高性能及び高信頼性を実現した半導体集積回路装置とそのテスト方法を提供することにある。この発明の他の目的は、高密度で高性能及び高信頼性とテスト時間の短縮化を図った半導体集積回路装置とそのテスト方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。クロック信号に従って動作する内部回路に入力されるテストボタンを保持する第1のラッチ回路及び上記テストボタンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給した状態で、上記第1のラッチ回路へのテストパタンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行う。

【0010】 本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給し、上記第1のラッチ回路へのテストパタンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行う。

【0011】

【発明の実施の形態】 図1には、この発明に係る半導体集積回路装置に設けられるテスト回路の一実施例の概略ブロック図が示されている。この実施例では、半導体集

り、このような動作は、上記システムクロックに対応したシーケンス動作によって行われる。

【0017】上記イネーブル信号を有効にして再びテストモードに設定し、上記のようにカウンタリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウンタアップ信号を供給してレジスタ (a) ~ (d) を順次に選択すると、カウンタアップ信号に対応させてOR (論理和) を介してデータ出力がシリアルに得られる。この論理和ORは、レジスタ (a) ~ (d) のCQ (キャプチャデータ出力) 端子を共通に接続したワイヤード論理によって構成することができ、

【0018】上記のように図1の実施例では、レジスタ回路を用いた書き込み/読み出し制御回路例であり、例えばRAM-BISTを実行する前に値を設定する必要のあるレジスタ、または、RAM-BIST終了後に値を読み出す必要のあるレジスタ (a) (b) (c) (d) に対して、書き込み、または読み出しを可能としたものである。レジスタ (a) (b) (c) (d) の選択は、レジスタアドレスを生成するカウンタと、レジスタアドレスデコードによって形成された信号のハイレベル ('H') をレジスタのSS端子に与えることによりなされる。システムクロック入力ピンは、高速なパルスジェネレータに接続され、RAMテストで必要とする任意の周波数のクロックパルスが印加される。これに対して、データ入力、イネーブル、書き込みトリガ、カウンタアップ、カウンタリセット、データ出力ピンは、LSIテストと接続され、LSIテストの処理しうる周波数のサイクルで制御が行なわれる。

【0019】図2には、この発明に用いられるレジスタの基本回路の一実施例の回路図が示されている。この実施例で用いられるレジスタは全てMUX-SCAN方式で自動診断が可能なデータイネーブル (DE) 付きフリップフロップ (FF) である。ここでMUX-SCAN方式のフリップフロップドを利用した理由は、これらの論理診断方式とこの発明に係るテスト回路ないしテスト方法との混在可能であることを示すものである。したがって、LSIの診断方式をMUX-SCAN方式に限るものでなく、他の診断方式 (例えばLSI診断方式) であってもかまわない。また、特にLSI診断を必要としないならば、診断なしFFとしてもかまわない。

【0020】図2において、SEN (スキエンイネーブル; Scan Enable) 端子、SID (スキエンイネーブル; Scan In Data) 端子、SOD (スキエンアウトデータ; ScanOut Data) 端子は、MUX-SCAN方式で自動診断を行なうために必要な診断ピンである。また、CKはLSIのシステムクロックである。これらのピンは説明の簡略化のため、以降省略してあらわすこととする。

【0021】図2において、DE (データイネーブル; Data Enable) をハイレベル (論理1) にすると、マルチプレクサがD (データイン; Data In) 端子からの信号を

取り込み、ロウレベル (論理0) ならQ (データアウト; Data Out) の信号を取り込む。上記SEN (スキエンイネーブル) 端子をハイレベル (論理1) にすると、マルチプレクサがSID (スキエンイネーブル) 端子からの信号を取り込み、ロウレベル (論理0) なら上記D又はQの信号を取り込む。そして、CK (クロック; Clock) のハイレベル (論理1) により入力段側のラッチ回路をスルー状態にして入力データを取り込み、出力段側のラッチ回路をラッチ状態にして直前に取り込まれたデータを保持する。CKのロウレベル (論理0) により、入力段側のラッチ回路をラッチ状態にして取り込んでデータを保持し、出力段側のラッチ回路はスルー状態とされて入力段側の出力信号の取り込みを行う。

【0022】上記図1のレジスタは、DE及びSENを論理0にすれば、データ端子Dからの信号の取り込みと保持を上記クロック信号CKに動作して実施するものであり、通常の論理シーケンスを実行する。DEとDENを論理1にすれば、SIDからのテストパターン用のスキエンインと、保持されたデータのスキエンアウトを実施することができ、

【0023】図3には、この発明に用いられるレジスタの一実施例のブロック図が示されている。(A) は書き込み/読み出し可能レジスタであり、(B) は書き込み可能レジスタであり、(C) は読み出し可能レジスタである。(A) の書き込み/読み出しレジスタは、テストパタンの入力と、かかるテストパターンに対応した出力信号の取り込みが可能とされる。(B) の書き込み可能レジスタは、例えばメモリ回路のようなアドレス信号のようにテスト対象回路に対して入力信号のみを供給する場合に用いられる。(C) の読み出しレジスタは、論理回路やメモリ回路の出力信号のみを取り込む場合に用いられる。

【0024】図3の各レジスタ (A) ないし (C) において、ブロックで示したレジスタは、前記図2の回路から構成される。同図では、端子D、DE及びQのみが代表として例示的に示され、前記スキエンイネーブル、スキエンアウトに関連する端子SID、SEN、SODは省略されている。クロック端子は三角により表している。

【0025】図3 (A) では、2つのマルチプレクサと2つの論理ゲート回路が追加される。つまり、SEN (セットイネーブル; Set Enable) により制御されるマルチプレクサにより前記D (データイン) とSID (セットデータイン; Set Data In) とがレジスタのD端子に入力される。また、上記SEN (セットイネーブル) により制御されるマルチプレクサにより前記DE (データイネーブル) と、ST (セットトリガ; Set Trigger) とSS (セットケレクト; Set Select) との論理和がレジスタのDE端子に供給される。そして、レジスタからのQ (データアウト) 信号が、上記SS (セットセレクト)

により制御される論理ゲートを介してCQ (キャプチャデータアウト; Capture Data Out) として出力される。図3 (B) では、(A) の構成に対してCQ (キャプチャデータアウト) を出力する回路が削除される。図3 (C) では、(A) の構成に対してSEとSTによる入力回路が削除される。

【0026】図3 (A) ないし (C) のレジスタは、テスト回路BISTに対する設定やテスト結果の読み出し制御をシステムクロックと、それより低い周波数にされた信号SE、ST及びSSとに対応させて行なう。つまり、システムクロックをレジスタに対して高速で、かつ、連続して印加している状態のまま、レジスタへの書き込み、読み出しをシステムクロックに対してあたかも非同期であるかのようにLSIテストの処理しうる周波数のサイクルで行うようにされる。以下の説明において、上記のようなシステムクロックに対してあたかも非同期であるかのようにLSIテストの処理しうる周波数のサイクルで行う動作を、便宜上「擬似的クロック同期動作」のように表現するものである。

【0027】RAM-BISTの全てのレジスタに対して図3 (A) の構成にすることが可能である。しかし、回路規模、レイアウトサイズを考慮すれば、書き込みが必要なレジスタ、読み出しが必要なレジスタ、両方が必要なレジスタ、両方とも必要としないレジスタに分類して、図2、図3 (A) ~ (C) の回路を使い分けることが合理的である。

【0028】図3のレジスタにおいて、書き込み動作について説明する。SE (セットネーブル) 信号は、レジスタに対して、通常動作を行なわせるか、擬似的クロック非同期書き込み動作を行なわせるかを選択する信号である。SE信号に対してロウレベル ('L') を入力した場合、レジスタは通常のレジスタとして動作を行なう。つまり、図3のレジスタのSEに'L' を入力した場合、図2の回路と等価である。SEに対して'H' を入力した場合、前記「擬似的クロック非同期書き込み」モードとなる。つまり、D、DEの信号を受け付けない状態になる。

【0029】SD (セットデータイン) は、「擬似的クロック非同期書き込み」モードにおける、レジスタ書き込みデータである。つまり、書き込みたい信号 (テストパターン) をSDに入力する。SS (セットセレクト) は、「擬似的クロック非同期書き込み」モードにおけるレジスタ選択信号である。つまり、SSがハイレベル ('H') の時、レジスタが選択される。ST (セットトリガ) は、「擬似的クロック非同期書き込み」モードにおけるレジスタ書き込みトリガ信号である。つまり、パルス入力が高レベル ('H') の時、上記SDに入力されたデータがレジスタに書き込まれる。

【0030】図4には、図3のレジスタの動作の一例を説明するためのタイミング図が示されている。図4のタ

イミングでは、図3では省略したCK (システムクロック) 入力信号が記述されていることに注目したい。図3のレジスタの核の部分は図2と同じものであり、したがって、図3のレジスタにおいてもクロックによつて同期化された回路である。

【0031】図3の実施例回路は、図4のタイミング図から明らかなように、レジスタに対しては、上記のようなシステムクロックCKが印加されているにもかかわらず、SS='H' (レジスタを選択) かつST='L' (書き込みを許可) した場合以外に、書き込み動作は発生しない。したがって、ST信号を動作トリガのように取り扱えば、ST信号の'H' パルス幅がシステムクロックCKのサイクルに対して十分に広い場合において、システムクロックCKの動作周波数にかかわらず、ST信号トリガパルスのサイクルによって制御できることが判る。

【0032】上記により、前記500MHz~800MHzのような高速サイクルのクロックCKが印加されている状態においても、クロックの周波数を落とすことなく、テスト処理可能な遅い周波数に適合された遅い周波数とされた前記「擬似的クロック非同期書き込み」制御が実現できる。

【0033】図4において、SEをハイレベル ('H') とした書き込み/読み出しモード (テスト) は、前記のような「擬似的クロック非同期動作モード」に対応されたものである。SDに (論理0) としてテストパターンを入力し、SSをハイレベルにして当該レジスタを選択する。そして、STをハイレベルにすると、クロック信号CKに同期して上記SDの論理0がレジスタに書き込まれる。このとき、クロックCKの周波数が高いので、上記ST信号がハイレベルである期間内においてかかるクロックCKに同期して上記SDから入力されたテストパターンである論理0が複数回にわたって書き込まれる。つまり、同じデータが何回か書き込まれる。

【0034】SDをハイレベル (論理1) にし、SSをロウレベルにして当該レジスタを選択すると、STをハイレベルにしても当該レジスタが非選択であるので上記SDから入力されたハイレベル (論理1) のテストパターンが書き込まれてしまうことはない。つまり、このときには、SSによって選択された別のレジスタに対して上記SDから入力された論理1のテストパターンが上記STがハイレベルの期間、クロック信号CKに同期して何回か繰り返して書き込まれる。上記SSのアドレスキャンに対応してレジスタが順次に選択されることに対応して、上記SDに入力されるテストパターンがシリアルに各レジスタにセットされる。

【0035】図5には、前記図1の実施例回路の動作の一例を説明するためのタイミング図が示されている。イネーブル信号がハイレベルの期間は、書き込み/読み出しモード (テスト) とされ、前記のような「擬似的クロ

ック非同期 ぎ込み」制御によって、LSIテストの処理しうる周波数のサイクルに対応したカウンタリセット信号とカウンタアップ信号によりレジスタアドレスを生成し、レジスタ(a)と(b)を順次に選択し、それに対応させてデータ入力から論理1、論理0のテストパターンと書き込みトリガを入力する。これにより、レジスタ(a)には論理1が、レジスタ(b)には論理0のテストパターンがシリアルに入力される。

【0036】イネーブル信号をロウレベルにすると、通常モードとなってRAMテストが実施される。つまり、RAMに対しては前記レジスタ(a)、(b)にセットされてテストパターンに対応してメモリアクセスが行われる。このメモリアクセスにより例えばレジスタ(c)や(d)には読み出しデータが出力される。

【0037】イネーブル信号を再びハイレベルすると、書き込み/読み出しモード(テスト)とされ、前記のような「擬似的クロック非同期読み出し」制御によって、LSIテストの処理しうる周波数のサイクルに対応したカウンタアップ信号によりレジスタアドレスを生成し、レジスタ(c)と(d)を順次に選択し、それに対応させてデータ出力から前記テストパターンに対応した読み出し信号をシリアルに出力させる。

【0038】図1及び図5に示した実施例では、イネーブルないし ぎ込みトリガ等の各制御ピン、およびデータ出力ピンをLSIピンとし、LSIテストによつて直接的に制御、出力判定するものとして示したが、例えばこれをJTAGインターフェイス等を介して間接的に制御することも可能である。

【0039】図6には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。この実施例は、RAM-BISTに組み込んだ半導体集積回路装置に向けられている。この実施例の半導体集積回路装置は、以下の各回路ブロックにより構成される。

【0040】1はRAMテストパターン生成回路であり、2はテスト対象RAM選択回路である。つまり、1つの半導体集積回路装置に複数のRAMが搭載された場合、各RAM毎に同じテストパターン生成回路1で生成したテストパターンを用い、上記テスト対象RAM選択回路により指定される複数のRAMを順次に切り替えてテストを実施するものである。

【0041】3は、切替回路であり、テスト動作-システム動作との切替動作を行う。つまり、切替回路3は、RAM14に対して一般論理で形成された信号による通常のメモリアクセスと、テストパターン生成回路1で生成されたテストパターンによるメモリアクセスとの切替を行なう。4はRAM出力と出力期待値とを比較する判定回路であり、出力期待値は上記テストパターン生成回路1により形成されたものが伝えられる。5は、判定レジスタであり、上記判定回路4の判定結果(テスト結果)を格納するレジスタである。

【0042】6は、救済解析回路であり、不良RAMアドレスからフューズによるRAM欠陥救済方法(救済アドレス)を計算する。この救済解析回路6で計算された救済アドレスは、救済アドレスレジスタ7に格納される。8は不良アドレスを記憶するフューズ回路である。フューズデータ転送制御回路9は、上記フューズ回路の不良アドレスデータをRAM14に転送する。

【0043】10はレジスタアドレス生成回路であり、テスト対象RAM選択回路2、テストパターン生成回路1、判定レジスタ5及び救済アドレスレジスタ7を構成するレジスタのアドレス信号を生成する。アドレスデコーダ回路11は、上記アドレス信号を解読して上記レジスタの選択信号を形成する。12は、各レジスタの出力信号の論理和を取るOR回路であり、選択されたレジスタの結果出力を行う。13は、コントロール回路であり、以上のRAM-BISTの各要素回路の動作を制御する。RAM14は、テスト対象のメモリ回路である。なお、PLLはクロックを選択的に分周して、MUX-IN、MUX-CによるMUX-SCAN方式での試験を行うときのシステムクロックを形成する。

【0044】図6のRAM-BIST回路では、RAM-BISTの制御をコントロール回路13が統括する。コントロール回路13は動作モード選択信号で制御される。図6のRAM-BIST回路でのRAMテストを行う手順は以下の通りである。システムクロックを印加する。クロック周波数はRAMテストを行なうための任意の周波数、例えば実際の動作周波数に対応された高い周波数とされ、RAM-BISTによる動作終了まで停止する必要がなく継続的に供給される。

【0047】RAMテストパターン生成回路1では、テストパターンを生成し、切替回路3によりテスト動作を選択し、判定回路4によりRAM出力と出力期待値とを比較し、判定レジスタ5に判定結果(テスト結果)を格納する。救済解析回路6は、不良RAMアドレス救済アドレスを計算し、救済アドレスレジスタ7に計算された救済アドレスを格納する。「RAMテストモード」では、全ての回路がクロックCKの周波数で動作する。

【0048】動作モードを「レジスタ回収モード」4にする。RAM-BISTによるRAMテスト結果の判定は、以下の各回路のレジスタ値を読み出すことにより行なう。判定レジスタ5からは良品/不良品情報、救済アドレスレジスタ7からは救済アドレスが読み出される。各レジスタ(図3)の入力ピンS-Eには「1」が設定され、「擬似的クロック非同期動作」状態になる。レジスタのS-Tピンに「H」が入力されなければ、レジスタの内容が書き替えることがない。レジスタアドレス生成回路への設定と、レジスタに対する読み出し方法については前記に説明した通りである。そして、動作モードを「システム動作モード」にする。これに対応して切替回路3は、システム動作を選択し、通常システム動作となる。

【0049】以上に示す様に、この実施例によれば、RAM-BISTによる全ての動作を、一定の周波数のクロックを停止することなく印加し続けた状態で行なうことができ、クロックの開始、停止、変速による電源ノイズの影響を受けることなく、安定した電源のもとでRAMテストを行なうことができる。

【0050】なお、本実施例によれば、RAM-BISTの制御回路そのものの動作テストを、MUX-SCAN方式の診断方法で行なうことができる。前記2図に示した基本回路に、MUX-SCAN方式の診断回路が設けられており、それをそのまま利用することができる。

【0051】この実施例では、電源ノイズの少ない「静かな環境」でLSIのテストを行うためには、クロックを高速(=実動作サイクル)に連続印加して、電源を安定化させてからテストを行なうものである。ただし、高速サイクルで「テストをする」こと自体は容易ではない。現在800MHzのテスト能力をそなえたメモリーテストは存在しない。仮に開発することを考慮すると膨大な投資が必要になり、コスト的に見合わないであろう。

【0052】もともとBIST回路は、能力の低いテストを使って高い周波数でのLSIテスト行なう目的で設けられるものである。そこで、クロックを停止することなく連続印加した状態により電源を安定化させた状態に保ち、その上でRAMテストの制御、実行、結果回収を低速のテストにより可能とすることにより、超高速LSIとそれに適合したRAM-BIST回路を提供することができ。前記により、本願発明では、RAMテスト

【0053】この実施例では、LSIの論理診断方式(たとえば、MUX-SCAN方式)の枠組みの中で実現することが可能であり、RAM-BIST回路自身の動作確認を上記LSIの論理診断方式を使って行なうことが可能である。高速サイクル(=LSIの実動作サイクル)でのクロック動作を継続的に行ない、LSIの電源を安定させる。つまり、電源系に含まれる共振回路が追従できないような高い周波数のクロック信号を供給させた状態とし、その共振周波数付近で発生する大きなノイズの発生を抑制して電源ノイズが少ない環境を作り出す。

【0054】そして、テスト対象であるLSIの動作速度に比べて、能力の低いテストを使っての低い周波数でのLSIに対するテスト制御(テストを行なうためのBISTに対する設定やテスト結果の読み出し)は、上記のクロックとは「非同期」つまりは「ゆつくり制御」を行なう手段を持たせることにより、能力の低いテストを使つてもテストが可能である。このテストの能力でのデータ入出力は、前記電源回路での共振周波数付近であることが多い。この発明に係るテスト回路及びテスト方法は、わざわざ上記共振周波数帯を避けるためにより遅い周波数で動作させることができ、テスト回路の性能を十分に発揮させることができるからテスト時間の短縮化を図る上でも有益なものとなる。

【0055】つまり、上記のような共振周波数よりも低い周波数でのテストのデータ入出力を行うと、その分テスト時間は長くなる。このような低い周波数でのデータ入出力を行うために、前記クロック信号の周波数を低くしてたり、あるいは変更させると前記のような電源ノイズが発生して、レジスタにおいてテストパタンの保持ができず、あるいは判定結果の保持ができなくなるが、この発明の適用によってそのような問題も回避することができる。

【0056】この実施例のように、低速なテスト装置を用いて、LSIを高速動作させるためには、上記システムクロックだけでは高い周波数のものをLSIに供給する手段が必要になる。この実施例では、LSIに内蔵のPLL回路16により前記のような約800MHzのような高周波数のクロック信号が形成される。例えば、PLL回路16での分周比を16倍にすれば、低速のテスト装置例が50MHzのようなクロック信号しか供給できない能力しか持たないものでも、LSI側ではそれに対応した800MHzのような高い周波数のクロック信号

を生成することができ、かかる高速クロックでの動作が可能にされる。

【0057】このようにLSIにPLL回路16を内蔵させることにより、テスト装置での低速なクロック信号の周波数を通信して高いシステムクロック信号を生成し、LSIを動作させることが簡単に言うことができ、しかし、このようなPLL回路16で生成されたシステムクロック信号と、低速なテスト装置の信号との正確な同期を取ることは大変困難になるものである。本願発明では、クロック信号に対して非同期でRAM-BISTの制御が可能であるので、この構成によるテストを実現することができ、

【0058】上記のようにクロック信号に対して非同期でのRAM-BISTの制御が可能であることから、前記実施例のPLL回路16に代えて、低速なテスト装置とクロックのみを高速で供給する装置、つまりパルス発生回路との組み合わせとしてもよい。このようなパルス発生回路（パルスジェネレータ装置）は、数GHzのような高い周波数のパルス信号を生成するものが比較的安価で入手可能であるために、上記パルス発生回路を含めたテスト装置を安価で形成することができる。

【0059】図7には、この発明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例は、LOGIC（論理回路）-BISTに組み込んだ半導体集積回路装置に向けられている。この実施例の半導体集積回路装置は、以下の各回路ブロックにより構成される。

【0060】この実施例では、擬似乱数発生器RAGR（Random Pattern Generation Register）と、応答圧縮器MISR（Multiple Input Signature Register）が設けられる。これらの擬似乱数発生器PAGRや応答圧縮器MISRに設けられたレジスタに対しては、前記図6のRAM-BISTで示したのと同じようにLSIのクロック（LSIマシナサイクル）を供給した状態で、それよりも遅い周波数での書き込みや読み出しを行う手段が設けられる。

【0061】つまり、図示しないレジスタアドレス生成カウンタで形成されたレジスタ選択アドレスをデコーダで解読し、各レジスタのSS端子に入力する。そして、前記のようなレジスタ書き込みデータをSID端子に供給し、レジスタ書き込みインペーブルをSE端子に供給し、BIST制御回路により形成されたレジスタ書き込みトリガをST端子に供給する。

【0062】擬似乱数発生器PAGRは、このようなレジスタへの書き込みデータを基にしてPAGR論理回路20によりテストパターンを生成する。この実施例では、BISTテスト対象である一般論理21が複数ブロックに分けられる。そして、かかる一般論理の入力と出力との間に設けられるフリップフロップ回路に前記のようなテスト入力機能と出力機能が設けられたテスト対象FF

（前記図3のレジスタ）が用いられる。

【0063】前記ブロック分割された一般論理21に対応させたテスト対象FF（レジスタ）は、各ブロック毎にテスト入力SIDと出力SDOとを用いてシリアルに接続される。したがって、前記擬似乱数発生器PAGRも上記ブロック分割に対応して複数個が設けられる。同様に、上記ブロック分割されたテスト対象FF（レジスタ）に対応して、応答圧縮器MISRも複数個が設けられる。上記擬似乱数発生器PAGRと応答圧縮器MISRそのものは、公知であるのでその詳細な説明は省略する。

【0064】この実施例のLOGIC-BISTの動作を図8のタイミング図を参照して次に説明する。擬似乱数発生器RAGRと応答圧縮器MISRに対する制御、つまりはRAGRとMISR内のFFF（レジスタ）の書き込み/読み出しは、レジスタ書き込みデータ信号（SID）、レジスタ書き込みインペーブル信号（SE）、レジスタ選択アドレス信号（SS）とレジスタ書き込みトリガ信号（ST）によって前記実施例と同様に行われる。

【0065】このような設定動作が終了すると、BIST開始信号によりBIST動作に移行する。このBIST動作では、まずスキャンイン動作が実施される。上記擬似乱数発生器PAGRで発生されたテストパターンは、LSIの論理回路の全てのテスト対象FFにMUX-SCAN制御によってシリアルに伝達される。このとき、レジスタ書き込みトリガSTは、クロックに同期して制御する必要があるので、モード選択信号およびBIST開始トリガ信号を入力とするBIST制御回路によって生成される。

【0066】上記のようなスキャンイン動作が終了すると、BIST制御回路はシステムクロックの1周期だけMUX-スキャン制御信号をロウレベルにする。これにより、上記テスト対象FFの入力は、前記MUX-スキャンチェーンから一般論理21側に切り替えられて論理動作を実施し、その出力信号が上記テスト対象FFに保持される。そして、上記MUX-スキャン制御信号をハイレベルにすることにより、スキャンアウト動作に移行して上記一般論理21の出力信号がシリアルに応答圧縮器MISRの上記一般論理21に入力されて圧縮されたデータがMISR内FF（レジスタ）に保持される。そして、レジスタ書き込みインペーブル信号をハイレベルにすることにより、MISRの読み出しを前記レジスタ選択アドレス信号（SS）を用いて行う。

【0067】この実施例のLOGIC-BISTは、前記図6のRAM-BISTと共存できる。また、図7の（一般論理）の中にRAM-BISTを組み込むことが可能である。この場合、RAM-BIST自体の論理診断を、このLOGIC-BISTを使用して行うことができる。

【0068】図9には、この発明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例の半導体集積回路装置は、特に制限されないが、DRAM（ダイナミックRAM）とSRAM（スタティックRAM）と、それを制御するためのユーザロジック（User Logic）及びテスト回路BISTとインターフェイス回路JATGは、クロック端子CLKに同期し、モード設定信号TMS及びテスト入力データTDI及びテスト出力データTDOをシリアルに入出力する。

【0069】DRAMは、特に制限されないが、64Kワード×288ビット（約18、4Mビット）のような大きな記憶容量を持つDRAMコアと、かかるDRAMコアに対して書き込み用に72ビットずつの記憶容量を持つ4つのレジスタと、読み出し用の72ビットずつの記憶容量を持つ4つのレジスタとを備える。SRAMはその出力動作時のバッファレジスタとしての役割をもち、特に制限されないが、それぞれが128ワード×72ビット持つ書き込み用のポートが4個設けられ、それぞれが128ワード×72ビット持つ読み出し用のポートが4個設けられる。ユーザロジックは、72ビットの単位で入出力する入出力インターフェイス部と、72ビットずつのデータを上記SRAMとDRAMとの間で伝達するマルチプレクサ等から構成される。

【0070】テスト回路BISTは、ユーザロジック部とにおいてチェーン状にされてレジスタを構成するようになされたラッチ回路に対してシリアルにテストパターンを供給し、ユーザロジック部及びDRAMやSRAMに対する動作を指示する信号をバレルに送出させるというMUX-SCAN経路と、この発明に係る前記「擬似的クロック非同期動作」によるテスト経路とを備える。これにより、DRAMやSRAM及びユーザロジックは、必要に応じてMUX-SCAN又は「擬似的クロック非同期動作」のいずれかの動作モードによりテスト回路BISTから供給されるテストパターンによって内部回路が動作させられてその判定を行うようにすることができ、

【0071】上記の実施例から得られる作用効果は、下記の通りである。

(1) クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給した状態で、上記第1のラッチ回路へのテストパタンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことによ

り、クロックの開始や停止及び変速による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができるといふ効果が得られる。

【0072】（2）上記に加えて、上記内部回路をメモリ回路とし、アドレス信号と動作制御信号とを含むテストパターンを入力し、第2のラッチ回路にメモリ回路の読み出し信号を取り込むことにより、メモリ回路を内部の論理回路から切り離れた単独でのテストを実施することができ、テスト時間の短縮化を図ることができるという効果が得られる。

【0073】（3）上記に加えて、上記テスト動作のときのクロック信号を、上記メモリ回路の通常の動作状態に対応した周波数とすることにより、実際の回路動作に則したテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

【0074】（4）上記に加えて、上記テスト回路として、上記メモリ回路に供給されるテストパターンとその他の待値を生成するテストパターン生成回路及び上記第1のラッチ回路に保持されたテストパタンの入力と、通常動作ときの入力とを切り替える切替回路、上記メモリ回路から読み出された第2のラッチ回路の出力信号と上記期待値とを比較する比較判定回路とを備えることにより、簡単なテストを用いることができるという効果が得られる。

【0075】（5）上記に加えて、上記テスト回路として、上記比較判定回路の判定出力とメモリ回路に入力されるアドレス信号とを受けて救済を要否を判定する救済解析回路と、上記救済解析回路での救済アドレスを保持する救済アドレスレジスタとを更に備えるようにすることができ、メモリ回路に冗長機能を持たせることができるという効果が得られる。

【0076】（6）上記に加えて、上記メモリ回路を複数個とし、上記テスト回路に複数個のメモリ回路のうち、テスト対象のメモリ回路を指定するメモリ選択回路を更に備えるようにすることにより、テスト回路の簡素化を図ることができるという効果が得られる。

【0077】（7）上記に加えて、上記内部回路を論理回路とし、上記第1と第2のラッチ回路を上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込むようにすることにより、少ないテストパターンでの論理回路のテストを実施することができるという効果が得られる。

【0078】（8）上記に加えて、テスト動作のときのクロック信号を上記内部回路の通常の動作状態に対応した周波数とすることにより、実際の回路動作に則したテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

【0079】（9）上記に加えて、上記テスト回路として上記論理回路の入力部に設けられた第1のラッチ回路に供給される入力信号を形成する擬似乱数発生器と、

上記論理回路の出力信号を保持する第2のラッチ回路の出力信号を受ける応答圧縮器とを更に備えるようにすることにより、簡単なテストを用いて内部論理回路の判定を行うようにすることができるといふ効果が得られる。

【0080】(10) 上記に加えて、内部回路の論理回路を複数のブロックに分け、各ブロック内の複数のフリップフロップ回路を、上記第1と第2のラッチ回路を介して直列形態に接続し、それに対応された上記類似乱数発生器からシリアルに第1のラッチ回路にテストパターンを入力し、かかるテストパターンに対応した第2のラッチ回路の出力信号をシリアルに応答圧縮器に出力させることにより、同時並列的に論理回路の検証ができることで、テスト時間の短縮化を図ることができるといふ効果が得られる。

【0081】(11) クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に供給し、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことにより、クロックの開始や停止及び変速による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができるという効果が得られる。

【0082】(12) 上記に加えて、上記内部回路をメモリ回路とし、アドレス信号と動作制御信号とを含むテストパターンを入力し、第2のラッチ回路にメモリ回路の読み出し信号を取り込むことにより、メモリ回路を内部の論理回路から切り離した単独でのテストを実施することができ、テスト時間の短縮化を図ることができるといふ効果が得られる。

【0083】(13) 上記に加えて、上記内部回路を論理回路とし、上記第1と第2のラッチ回路を上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込むようにすることにより、少ないテストパターンでの論理回路のテストを実施することができるといふ効果が得られる。

【0084】(14) 上記に加えて、テスト動作のときのクロック信号を上記内部回路の通常の動作状態に対応した周波数することにより、実際の回路動作に則したテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

【0085】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、レジ

スタのアドレス生成やその選択は、種々の実施形態を探ることができる。前記レジスタは、MUX-SCAN制御のための入出力機能を省略してもよい。クロック信号の周波数は、テスト環境にあわせて実際の動作状態の周波数よりも低い周波数としてもよい。例えば、半導体ウエハ上にLSIが完成された時点でのプロービングでは、実際の動作状態と同じ高い周波数のクロックの供給が困難な場合には、それよりも低い周波数を供給して動作させるものでもあってもよい。ただし、そのときの電源系で共振周波数よりも十分に高い周波数であることが必要である。この発明は、論理回路、メモリ回路を含む各種半導体集積回路装置とそのテスト方法に広く利用できる。

【0086】

【発明の効果】 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給した状態で、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことにより、クロックの開始や停止及び変速による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができる。

【0087】クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給し、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことにより、クロックの開始や停止及び変速による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができる。

【図面の簡単な説明】

【図1】 この発明に係る半導体集積回路装置に設けられるテスト回路の一実施例を示す概略ブロック図である。

【図2】 この発明に用いられるレジスタの基本回路の一実施例を示す回路図である。

【図3】 この発明に用いられるレジスタの一実施例を示す

すブロック図である。

【図4】 図3のレジスタの動作の一例を説明するためのタイミング図である。

【図5】 図1の実施例回路の動作の一例を説明するためのタイミング図である。

【図6】 この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図7】 この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

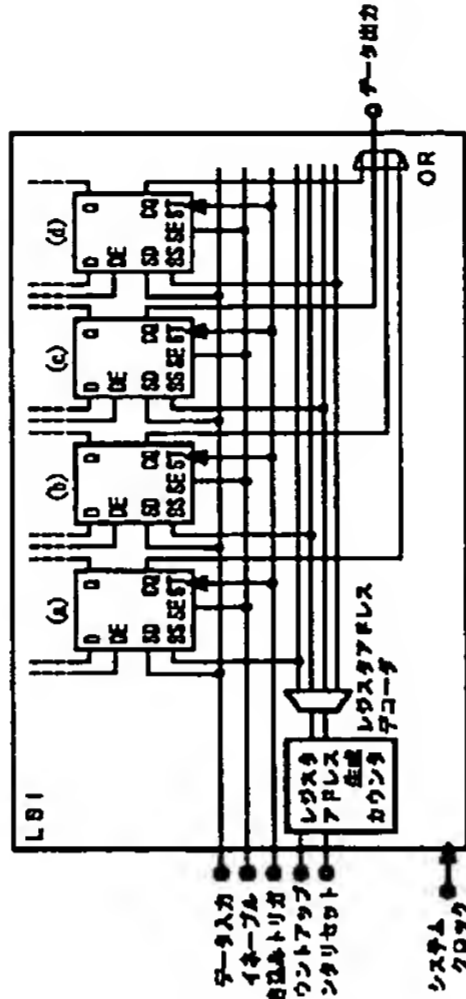
【図8】 図7の実施例を説明するためのタイミング図である。

【図9】 この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

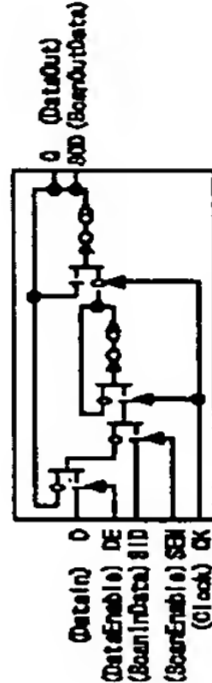
【符号の説明】

1…テストパターン生成回路、2…テスト対象RAM選択回路、3…切替回路、4…比較判定回路、5…判定レジスタ、6…救済解析回路、7…救済アドレスレジスタ、8…フェーズ回路、9…フェーズデータ転送制御回路、10…レジスタアドレス生成回路、11…アドレスデコード回路、12…オア回路、13…コントロール回路、14…RAM、15…一般論理、16…PLL、PAGR…擬似乱数発生器、MISR…応答圧縮器、SRAM…スタティック型ランダム・アクセス・メモリ、DRAM…ダイナミック型ランダム・アクセス・メモリ、JTAG…インターフェース回路、BIST…テスト回路。

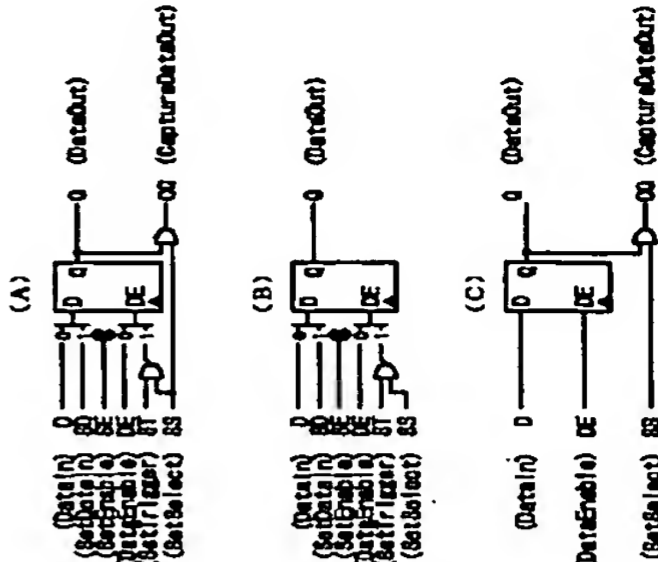
【図1】



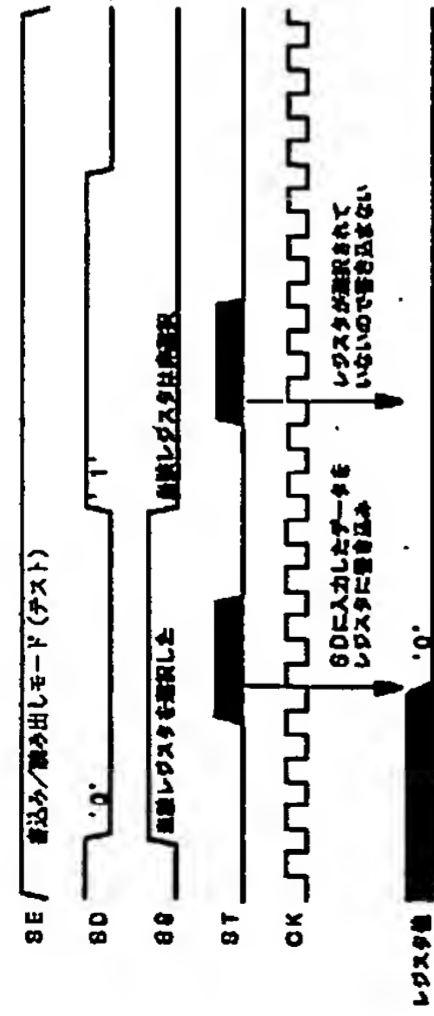
【図2】



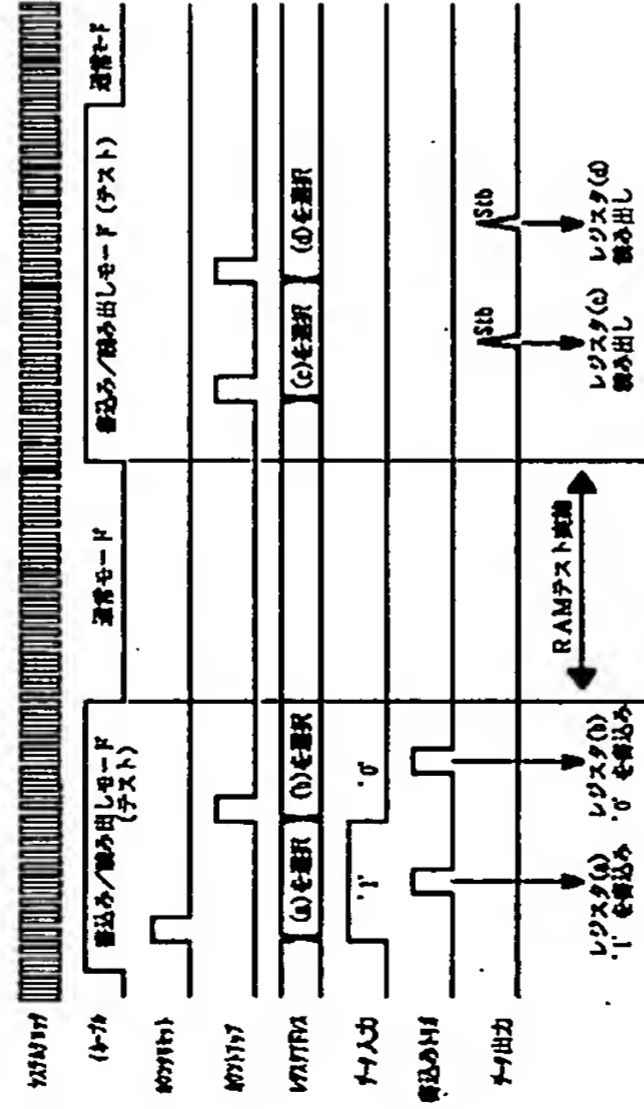
【図3】



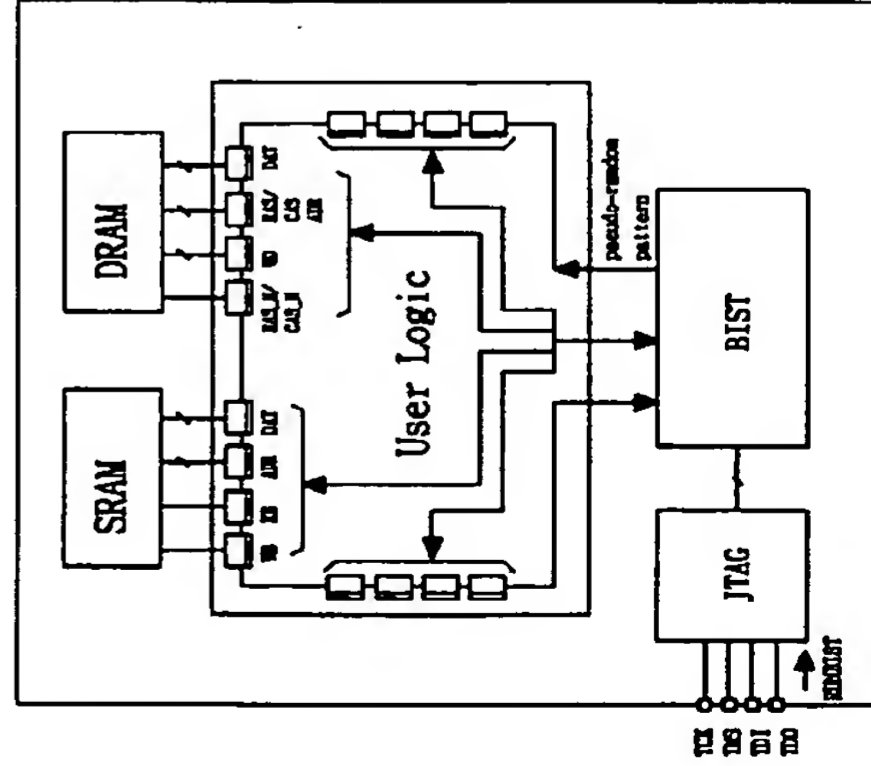
【圖4】



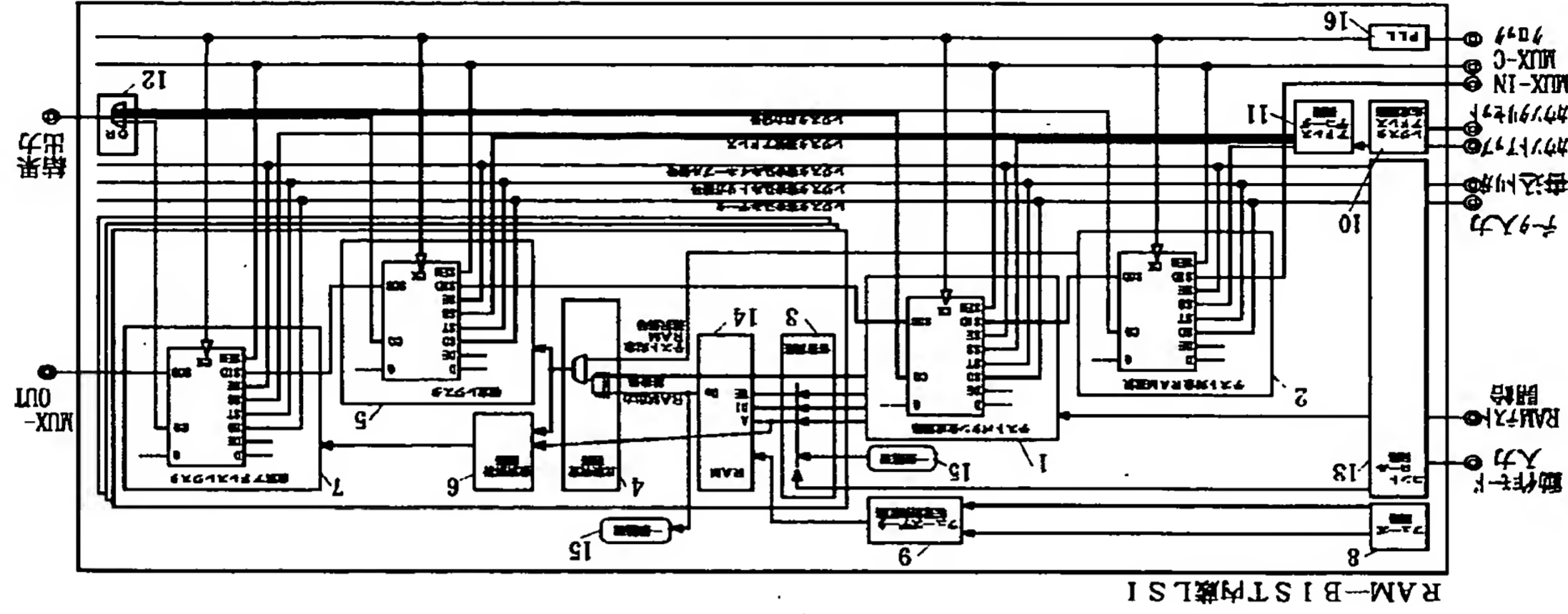
【圖5】

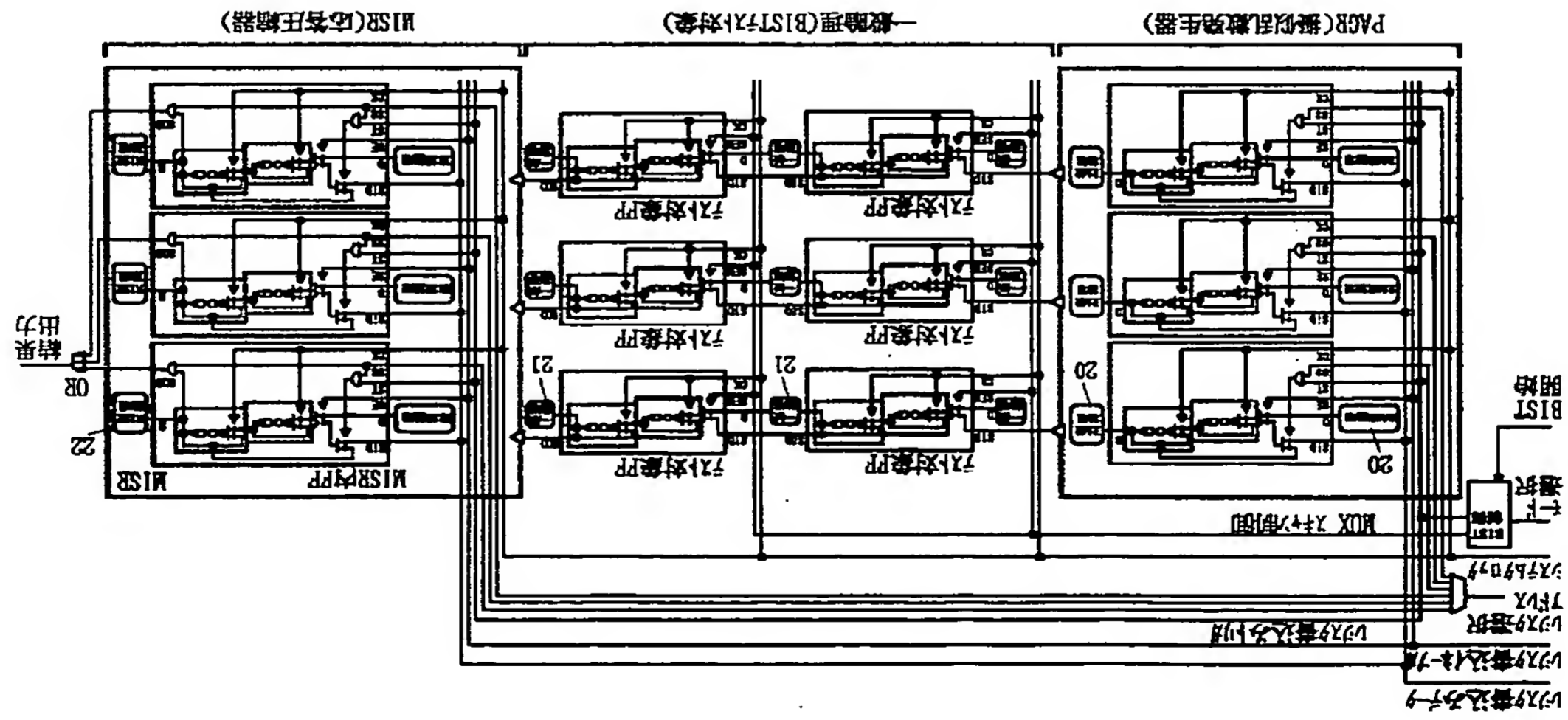


【5】

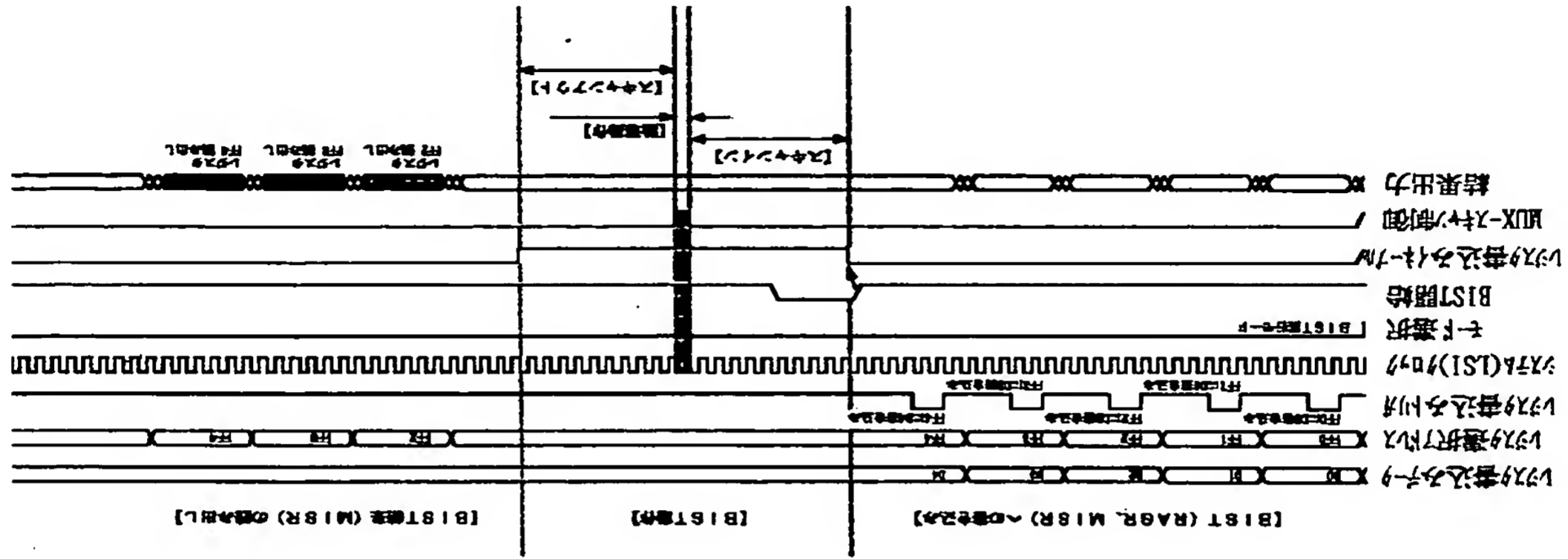


【9】





【図7】



【88】

(17) 特開平14-174662

フロントページの続き

(51)Int.Cl.7 識別記号 F I 7-7307 (参考)  
G 0 1 R 3 1 / 2 8 G

(72)発明者 日下田 恵一  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センター内  
(72)発明者 中原 茂  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センター内  
Fターム(参考) 2G032 AA07 AB01 AC03 AE10 AC02  
AG10 AK11 AK14 AL00  
5L106 DD22 DD23 DD25 GG03